

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-230639

(P2001-230639A)

(43) 公開日 平成13年8月24日 (2001.8.24)

(51) Int. Cl.	識別記号	F I	チーコード (参考)
H 0 3 F 3/45		H 0 3 F 3/45	Z 5 J 0 6 6
1/52		1/52	Z 5 J 0 9 1
3/34		3/34	A

審査請求 未請求 請求項の数 9 O L (全 14 頁)

(21) 出願番号 特願2000-40924 (P2000-40924)

(22) 出願日 平成12年2月18日 (2000.2.18)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 工藤 良太郎

群馬県高崎市西横手町1番地1 日立東部

セミコンダクタ株式会社内

(72) 発明者 千葉 真

群馬県高崎市西横手町1番地1 日立東部

セミコンダクタ株式会社内

(74) 代理人 100085811

弁理士 大日方 富雄

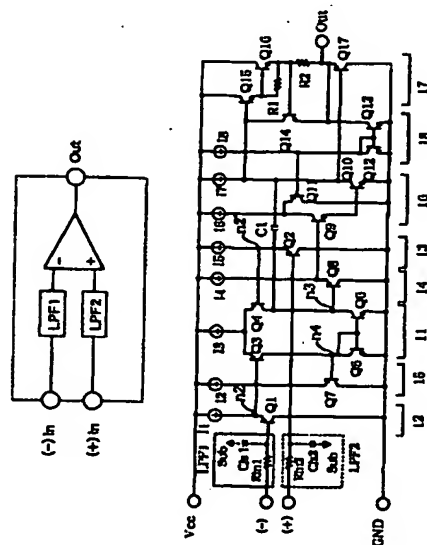
最終頁に続く

(54) 【発明の名称】 差動増幅回路

(57) 【要約】

【課題】 高周波ノイズによりオフセットが変動するおそれが少なく、電磁妨害波を受けても誤動作しにくい差動増幅回路を実現する。

【解決手段】 差動増幅回路の入力端子と差動増幅段 (11) の入力ノードとの間に、当該差動増幅回路のカットオフ周波数よりも大きく入力部の寄生容量と寄生抵抗とから構成される寄生フィルタ回路のカットオフ周波数よりも小さなカットオフ周波数を有する高周波ノイズカット用のフィルタ回路 (LPF1, LPF2) を挿入するようにした。



**【特許請求の範囲】**

【請求項1】 差動増幅段を有する差動増幅回路において、入力端子と差動増幅段の入力ノードとの間に、当該差動増幅回路のカットオフ周波数よりも大きく入力部の寄生容量と寄生抵抗とから構成される寄生フィルタ回路のカットオフ周波数よりも小さなカットオフ周波数を有する高周波ノイズカット用のフィルタ回路を挿入するようにしたことを特徴とする差動増幅回路。

【請求項2】 上記フィルタ回路のカットオフ周波数は、差動増幅回路のユニティゲイン周波数よりも大きく、入力部の上記寄生フィルタ回路のカットオフ周波数よりも小さな周波数であることを特徴とする請求項1に記載の差動増幅回路。

【請求項3】 上記入力端子と上記差動増幅段との間にレベルシフト回路を備え、上記フィルタ回路は、上記入力端子と上記レベルシフト回路との間に設けられていることを特徴とする請求項1または2に記載の差動増幅回路。

【請求項4】 上記入力端子と上記差動増幅段との間にレベルシフト回路を備え、上記フィルタ回路は、上記レベルシフト回路と上記差動増幅段との間に設けられていることを特徴とする請求項1または2に記載の差動増幅回路。

【請求項5】 上記フィルタ回路は、抵抗と容量とからなり、その容量として、上記抵抗の一端が接続されるトランジスタの寄生容量を利用していることを特徴とする請求項1、2、3または4に記載の差動増幅回路。

【請求項6】 差動増幅段を有する差動増幅回路において、入力端子と差動増幅段の入力ノードとの間に、静電保護用のダイオードと高周波ノイズカット用のフィルタ回路とが設けられていることを特徴とする差動増幅回路。

【請求項7】 上記入力端子と上記差動増幅段との間にレベルシフト回路を備え、上記フィルタ回路は、上記入力端子と上記レベルシフト回路との間に設けられていることを特徴とする請求項6に記載の差動増幅回路。

【請求項8】 上記入力端子と上記差動増幅段との間にレベルシフト回路を備え、上記フィルタ回路は、上記レベルシフト回路と上記差動増幅段との間に設けられていることを特徴とする請求項6または7に記載の差動増幅回路。

【請求項9】 上記フィルタ回路は、抵抗と容量とからなり、その容量として、上記抵抗の一端が接続されるトランジスタの寄生容量を利用していることを特徴とする請求項6、7、または8に記載の差動増幅回路。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】 本発明は、半導体集積回路技術さらには差動増幅回路における入力端子より混入する高周波ノイズによる誤動作を防止する技術に関し、例え

ばオペアンプICの電磁波ノイズ対策に利用して有効な技術に関する。

**【0002】**

【従来の技術】 従来から、アナログ入力信号を増幅するオペアンプICやアナログ入力信号のレベルを検出するコンパレータICとして差動増幅回路を用いた種々の回路形式のものが提案されている。ところで、半導体集積回路を使用したシステムでは、電磁妨害波による誤動作が問題とされている。一方、オペアンプICやコンパレータICでは、同相のノイズによる影響が少ない差動増幅回路を用いているため、電磁波ノイズによる誤動作の問題はないと一般に考えられていた。

【0003】 しかしながら、近年、オペアンプICやコンパレータICにおいても、入力端子への電磁波ノイズの混入により誤動作するおそれがあることが指摘されるようになってきた。そこで、電磁波ノイズによる誤動作を防止するため、入力ピンと差動増幅回路との間に絶縁膜を誘電体とするコンデンサからなるフィルタ部を作り込むようにした発明が提案されている（特開平9-167827号公報）。

【0004】 ただし、上記の先願発明においては、入力ピンと差動増幅回路との間に絶縁膜を誘電体とするコンデンサからなるフィルタ部を作り込むことのみが開示されているに過ぎず、具体的なコンデンサの容量値はもちろんコンデンサにより構成されるフィルタ部のカットオフ周波数等の特性については全く開示されていない。

**【0005】**

【発明が解決しようとする課題】 本発明者らは、前記先願発明とは全く関係なく、オペアンプICにおける電磁波ノイズによる誤動作の原因について解析を行なった。その結果、以下のようなメカニズムにより誤動作が生じることをつきとめた。

【0006】 先ず、本発明者らは、差動増幅回路は反転入力端子と非反転入力端子よりそれぞれ混入する同相ノイズに対しては強く、誤動作を生じないはずであるから、その原因は反転入力端子と非反転入力端子に異なるノイズが入るためであると推測した。オペアンプICは、一方の入力端子にアナログ信号が入力され、他方の入力端子には基準電圧が印加された状態で使用されることがあり、このような場合、反転入力端子と非反転入力端子までの配線長等が異なるため、電磁波ノイズが全く同じ条件で混入することではなく、同相のノイズとならない場合があることは容易に想像できる。

【0007】 そこで、図1に示すように、オペアンプOPの反転入力端子（－）には、抵抗 $r_1$ を介して接地電位を印加するとともに、フィードバック抵抗 $r_2$ の一端を接続し、非反転入力端子（＋）には並列形態の抵抗 $r_3$ 、 $r_4$ を介して接地電位を印加するようにした回路を作成した。ここで、抵抗 $r_1$ 、 $r_3$ は51Ω、 $r_2$ 、 $r_4$ は5.1kΩである。非反転入力端子（＋）に並列形

態の抵抗 $r_3$ 、 $r_4$ を接続したのは、抵抗 $r_1$ と $r_2$ の2つが接続されている反転入力端子(−)と同一条件にして、回路的に入力オフセットが生じないようにするためである。なお、使用したオペアンプのカットオフ周波数 $f_c$ は、約300kHzである。

【0008】そして、先ずこの回路において、非反転入力端子(+)に疑似電磁波ノイズを与える高周波ノイズ源RFを接続して、高周波ノイズ源RFにより非反転入力端子(+)に高周波を入力し、その周波数を変化させてそのときの出力電圧を観察した。次に、図2に示すように、オペアンプOPの反転入力端子(−)に疑似電磁波ノイズを与える高周波ノイズ源RFを接続して、反転入力端子(−)に高周波を入力し、その周波数を変化させてそのときの出力電圧を観察した。

【0009】図3は非反転入力端子(+)に高周波ノイズを入力したときに観察された出力電圧の変化を、また図4は反転入力端子(−)に高周波ノイズを入力したときに観察された出力電圧の変化をそれぞれ示す。図3より、非反転入力端子(+)に高周波ノイズを入力したときの出力電圧 $V_{out}$ は、オペアンプのカットオフ周波数 $f_c$ によりもう少し高い1MHzあたりからレベルが下がり始めて、100MHz近傍で最も低くなり、その後再びレベルは上がり、1GHzあたりで元のレベルに戻っていることが分かる。同様に、図4から、反転入力端子(−)に高周波ノイズを入力したときの出力電圧 $V_{out}$ は、オペアンプのカットオフ周波数 $f_c$ によりもう少し高い1MHzあたりからレベルが上がり始めて、100MHz近傍で最も高くなり、その後再びレベルは下がり、1GHzあたりで元のレベルに戻っていることが分かる。

【0010】本発明者らは、上記のように出力電圧 $V_{out}$ がある周波数帯で一時的に下がったり上がったりする原因について考察を行なった。その結果、以下に述べるような現象が原因であるとの結論に達した。

【0011】図5は、上記実験で用いたオペアンプOPの回路構成を示す。このオペアンプは、通常のアクティブ負荷型差動増幅段11の前段に、入力信号のダイナミックレンジの下限レベルを接地電位以下に広げるためエミッタフォロワからなるレベルシフト回路12、13を挿入した回路である。

【0012】図6は、このオペアンプにカットオフ周波数 $f_c$ よりも低い周波数の信号が反転入力端子(−)に入力されたときのレベルシフト12の入力ノードの電位 $V_1$ と出力ノード $n_2$ の電位 $V_2$ の変化を測定し示したものである。同図より明らかなように、この場合、2つの電位 $V_1$ 、 $V_2$ は、入力トランジスタQ1のベース・エミッタ間順方向電圧 $V_{be}$ (約0.7V)だけずれて同じように変化する。

【0013】一方、図7は、このオペアンプにカットオフ周波数 $f_c$ よりも高い約100MHzの周波数の信号

が反転入力端子(−)に入力されたときのレベルシフト12の入力ノードの電位 $V_1$ と出力ノード $n_2$ の電位 $V_2$ の変化を示したものである。この場合、入力電位 $V_1$ は入力に応じて変化するものの、ノード $n_2$ の電位 $V_2$ は、図7のように、振幅の小さなこぎり波形となり、平均的なDCレベルは図6のものに比べてかなり低くなっていることが分かる。

【0014】このようにノード $n_2$ の電位 $V_2$ がのこぎり波形となるのは、差動増幅段の差動トランジスタQ3のベース・基板間に寄生する容量 $C_{js}$ がレベルシフト回路の出力ノード $n_2$ に接続されているため、 $V_2$ が上昇するときにレベルシフト回路の電流源I1の電流が寄生容量 $C_{js}$ を充電するのに消費される一方、 $V_2$ が下降するときには寄生容量 $C_{js}$ の充電電荷は入力トランジスタQ1のコレクタ電流によってすばやく引き抜かれるためであると考えられる。そして、上記のように、高周波が図5のオペアンプの反転入力端子(−)に入力され、ノード $n_2$ の電位 $V_2$ のDCレベルが下がる場合、そのDCレベルは入力信号の周波数と振幅に依存することを見出した。

【0015】ところで、かかるオペアンプを用いたシステムでは、前述したように反転入力端子と非反転入力端子に接続される配線の長さ等が異なることが多いため、電磁波に起因する高周波ノイズの混入量は当然反転入力端子と非反転入力端子とでは異なることとなり、トランジスタQ1のエミッタにおけるノード $n_2$ のDCレベル $V_{dc2}$ とトランジスタQ2のエミッタにおけるノード $n_2'$ のDCレベル $V_{dc2}'$ との間に差異が生じることとなる。その結果、前述のように、反転入力端子(−)と非反転入力端子(+)との間にオフセットが生じ、このオフセットがオペアンプの誤動作の原因になると考えられる。

【0016】なお、上記のような仮説では、図3および図4に示すように、入力端子より入り込む高周波ノイズの周波数がある程度(図では100MHz以上)高くなると、出力電圧が元に戻る現象は説明できない。しかし、この現象は、オペアンプの入力ピンに接続されるトランジスタQ1自身のベース抵抗とベース・基板間寄生容量 $C_{js}$ とで構成される寄生フィルタ回路が働いて高周波成分が減衰されるようになるためであると考えることによって説明することができる。よって、差動増幅回路のカットオフ周波数よりも大きく入力部の寄生フィルタ回路のカットオフ周波数よりも小さな周波数のノイズをカットしてやれば、電磁波等高周波ノイズによるオフセットの変動を抑制し誤動作を起こし難い差動増幅回路を実現することができるとの結論に達した。

【0017】この発明の目的は、高周波ノイズによりオフセットが変動するおそれの少ない差動増幅回路並びにそれを含む半導体集積回路を提供することにある。

【0018】この発明の他の目的は、電磁妨害波を受け

ても誤動作しにくい差動増幅回路並びにそれを含む半導体集積回路を提供することにある。

【0019】この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

【0020】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

【0021】すなわち、差動増幅回路の入力端子と差動増幅段の入力ノードとの間に、当該差動増幅回路のカットオフ周波数よりも大きく入力部の寄生容量と寄生抵抗とから構成される寄生フィルタ回路のカットオフ周波数よりも小さなカットオフ周波数を有する高周波ノイズカット用のフィルタ回路を挿入するようにした。

【0022】上記した手段によれば、高周波ノイズカット用フィルタ回路によって、入力端子より混入した電磁波等の高周波ノイズが差動増幅段に伝わるのを防止し、異なる振幅の高周波ノイズが混入することに起因して反転入力端子（－）側と非反転入力端子（＋）側のDCレベルに差異が生じ入力オフセットが変化することを抑制することができる。

【0023】上記高周波ノイズカット用フィルタ回路は、一般的な抵抗と容量とからなるCR回路により構成できる。そして、その容量としては、上記抵抗の一端が接続されるトランジスタの寄生容量を積極的に利用することができる。あるいは、半導体基板上に形成される絶縁膜を誘電体とする容量素子を設けても良いし、半導体基板表面に形成されるPN接合を利用した容量素子を設けるようにしても良い。

【0024】上記のようにフィルタ回路を構成する容量としてトランジスタの寄生容量を積極的に利用するようにした場合には、フィルタ回路の占める面積は比較的小さなものとなる。従って、例えば差動増幅段の前段レベルシフト回路を有する差動増幅回路においてレベルシフト回路と差動増幅段との間にフィルタ回路を設ける場合に有効である。一般に、外部入力端子の近傍は素子のレイアウトに比較的余裕があるからである。一方、フィルタ回路を構成する容量として絶縁膜を誘電体とする容量を用いるようにした場合には、容量の電圧依存性が接合容量に比べて小さいので、フィルタ回路のカットオフ周波数の入力直流電圧依存性を小さくすることができる。

【0025】上記フィルタ回路を構成する抵抗も、フィルタ回路が接続されるトランジスタのベース領域を他のトランジスタのベース領域よりも大きく形成してその寄生抵抗を利用した抵抗とすることができる。あるいは、トランジスタのベース領域とは別個に半導体基板表面に形成されるP型あるいはN型の拡散層のような半導体領域を形成して抵抗として使用するようにしても良いし、半導体基板上にポリシリコン層のような金属層を形成し

て抵抗として使用するようにしても良い。フィルタ回路を構成する抵抗を、トランジスタのベース領域の寄生抵抗を利用して構成するようにした場合には、フィルタ回路の占める面積は別個に設ける場合に比べて小さなものとなる。この場合、フィルタ回路を構成するトランジスタの寄生容量も大きくなる。

【0026】上記高周波ノイズカット用のフィルタ回路のカットオフ周波数は、差動増幅回路のユニティゲイン周波数よりも大きく入力部の寄生フィルタ回路のカットオフ周波数よりも小さな周波数とするのが望ましい。高周波ノイズカット用のフィルタ回路のカットオフ周波数を差動増幅回路のユニティゲイン周波数よりも小さくすると、回路が発振し易くなるためである。

【0027】また、差動増幅回路の入力端子と差動増幅段の入力ノードとの間に、静電保護用のダイオードと高周波ノイズカット用のフィルタ回路とを挿入するようにしてもよい。このようにすると、電磁波等の高周波ノイズが入力端子より混入して入力オフセットが変化することを抑制できるとともに、保護ダイオードにより静電破壊強度も高くすることができる。

【0028】入力端子に接続される静電保護用ダイオードは、視点を変えると一種の接合容量と見ることができる。従って、高周波ノイズカット用のフィルタ回路を構成する容量として絶縁膜容量の代わりにPN接合容量を利用した場合には、静電保護用ダイオードと兼用するという回路も考え得るが、静電保護用ダイオードと別個に高周波ノイズカット用のフィルタ回路を設けることで、それぞれの用途に応じて素子の特性を最適化することができる。そのため、兼用した場合に比べて、高周波ノイズをより良好にカットし、かつ静電破壊強度も高くすることができる。また、静電保護ダイオードに何らかの不具合があったとしても、高周波ノイズカット用のフィルタ回路は有効に機能することとなる。なお、この保護ダイオードは、静電気に対してはもちろんサージ電圧やサージ電流に対しても内部回路の保護素子として機能する。

【0029】

【発明の実施の形態】以下、本発明の好適な実施例を図面に基いて説明する。

【0030】図8は本発明を適用したオペアンプすなわち差動増幅回路の一実施例を説明する。なお、本発明においては、差動増幅回路が主要部分を占めている半導体集積回路をオペアンプと称し、一つの半導体基板上に他の回路も形成されている場合に差動増幅回路と称するものとし、呼び方によって回路の構成や機能が変化するものではない。

【0031】図8（A）に示すように、本実施例は差動増幅回路の反転入力端子（－）と非反転入力端子（＋）に、それぞれローパスフィルタ回路（以下、単にフィルタ回路と略す）LPF1、LPF2を接続したものであ

る。図8(B)にはその具体的な回路構成例が示されている。

【0032】図8(B)において、11はエミッタ共通接続された一对の差動トランジスタQ3、Q4と、Q3、Q4のコレクタと接地点GNDとの間に接続されたカレントミラー構成のアクティブ負荷トランジスタQ5、Q6と、電源電圧Vccと差動トランジスタQ3、Q4の共通エミッタとの間に接続された定電流源I3とから構成された差動増幅段である。特に制限されるものでないが、差動トランジスタQ3、Q4はPNPバイポーラ・トランジスタで構成され、負荷トランジスタQ5、Q6はNPNバイポーラ・トランジスタにより構成されている。定電流源I3は、ベースが定電圧でバイアスされたPNPバイポーラ・トランジスタで構成することができる。

【0033】12は反転入力端子(-)と上記差動トランジスタQ3のベース端子との間に設けられたエミッタフォロワからなるレベルシフト回路、13は非反転入力端子(+)と上記差動トランジスタQ4のベース端子との間に設けられたレベルシフト回路である。レベルシフト回路12は、ベース端子が反転入力端子(-)に接続されコレクタが接地点GNDに接続されたPNPバイポーラ・トランジスタQ1と、このトランジスタQ1のエミッタと電源電圧Vccとの間に接続された定電流源I1とで構成され、トランジスタQ1のエミッタ端子に前記差動入力段11のトランジスタQ3のベース端子が接続されている。

【0034】同様に、レベルシフト回路13は、ベース端子が非反転入力端子(+)側に接続されコレクタが接地点GNDに接続されたPNPバイポーラ・トランジスタQ2と、このトランジスタQ2のエミッタと電源電圧Vccとの間に接続された定電流源I5とで構成され、トランジスタQ2のエミッタ端子に前記差動入力段11のトランジスタQ4のベース端子が接続されている。上記レベルシフト回路12、13は、入力信号のダイナミックレンジの下限レベルを接地電位以下に広げるためのレベルシフト回路として機能する。具体的には、トランジスタQ1、Q2のベース電位すなわち入力信号-Vin、+Vinに対し、レベルシフト回路12、13の出力ノードn2、n2'の電位すなわちトランジスタQ3、Q4のベース電位は、Q1、Q2のベース・エミッタ間順方向電圧Vbeだけ高い電位にシフトされる。

【0035】差動増幅段11の出力ノードn4に接続されたトランジスタQ8と定電流源I4とからなるレベルシフト回路14は、前記アクティブ負荷トランジスタQ6のコレクタ・エミッタ間電圧Vceを、トランジスタQ6のコレクタ・エミッタ間電圧Vce(=Vbe)とほぼ同一の電位にバイアスするためのレベルシフト回路として機能する。また、差動増幅段11のノードn3に接続されたトランジスタQ7と定電流源I2とからなるレベル

シフト回路15は、前記アクティブ負荷トランジスタQ5とQ6に流れる電流の誤差をなくすために設けられたダミー回路である。

【0036】16は、上記レベルシフト回路14に接続された高利得増幅段で、ダーリントン接続されたトランジスタQ9およびQ10と、Q9、Q10の各コレクタ端子と電源電圧Vccとの間にそれぞれ接続された定電流源I6、I7とから構成されている。17は、電源電圧Vccと接地点GNDとの間に直列形態に接続されたトランジスタQ16、抵抗R2、トランジスタQ17を含み、上記高利得増幅段16の出力を受けて出力端子OUTに接続される負荷(図示省略)を駆動する出力段で、トランジスタQ16のベース側にはQ16と共にダーリントン回路を構成するトランジスタQ15が接続され、これらのトランジスタQ15、Q16のエミッタ間には抵抗R1が接続されている。

【0037】18は、出力段17の電源電位側のトランジスタQ16に流れる電流を抑えるとともにトランジスタQ9に流れるコレクタ電流を制限する電流制限回路であり、ベースが出力トランジスタQ16のエミッタに接続されるとともにコレクタがトランジスタQ15のベースに接続されたトランジスタQ14と、このQ14と直列形態に接続されかつ出力端子OUTにコレクタが接続されたトランジスタQ13と、このQ13とカレントミラー接続されたトランジスタQ12と、このQ12のコレクタにベースが接続されかつQ9のコレクタにそれ自身のエミッタが接続されたトランジスタQ11とから構成され、トランジスタQ13で出力段17の電流を一部引き抜くとともにトランジスタQ9のコレクタに流れようとする電流の一部をトランジスタQ11でバイパスしている。

【0038】高利得増幅段17のトランジスタQ9は、図8から明らかなように、トランジスタQ10のベース電流を供給できれば良いので、Q9のコレクタ電流が多すぎるとQ10のベース電流さらにそのコレクタ電流も多く流れすぎ、Q17のベース電流を多くして出力電圧がロウ側に偏ってしまう。そこで、この電流制限回路18を設けることで、トランジスタQ9に流れるコレクタ電流を制限するようにしている。

【0039】なお、差動入力段11のトランジスタQ4のコレクタと高利得増幅段16のトランジスタQ10のコレクタとの間に接続されている容量C1は、位相補償用の容量である。この容量の値を適宜設定してやることで、差動増幅回路のユニティゲイン周波数(ゲインが0dBとなるときの周波数)をトランジスタのカットオフ周波数よりも低く抑え、これによって回路の発振を防止するようにされる。この位相補償用の容量C1は、容量値が大きい場合には外付け容量とすることも可能である。

【0040】ここまでの構成は、本発明回路の開発にあ



たって検討した図5に示されている差動増幅回路の構成と同一である。

【0041】この実施例においては、上記反転入力端子(−)とトランジスタQ1のベース端子との間に抵抗Rin1が接続されているとともに、容量非反転入力端子(+)とトランジスタQ2のベース端子との間に抵抗Rin2が接続されている。一般に差動増幅回路では帯域を広くするために、入力端子に余計なベース抵抗を接続するようなことは行なわれていない。ただし、静電保護のために本実施例の抵抗Rin1、Rin2と同様に抵抗を入10力端子と入力トランジスタのベースとの間に保護ダイオードとともに入れることも考えられるが、その場合の抵抗の値は通常数10〜数100Ωである。一方、本実施例における抵抗Rin1、Rin2の抵抗値は、以下に詳しく説明するように、そのような保護用の抵抗よりも抵抗値はずっと大きなものとなる。

【0042】上記のように上記反転入力端子(−)とトランジスタQ1のベース端子との間に抵抗Rin1が、また容量非反転入力端子(+)とトランジスタQ2のベース端子との間に抵抗Rin2が接続されていると、トランジスタQ1、Q2にはそれぞれそのベース領域と半導体15基板との間に寄生の容量Cjs1、Cjs2が存在するため、その寄生容量Cjs1、Cjs2と上記抵抗Rin1、Rin2とでそれぞれローパスフィルタ回路LPF1、LPF2が構成される。

【0043】本発明を着想した時点では、入力端子に接続されるフィルタ回路として上記抵抗Rin1、Rin2とともに容量素子を形成することを考えた。しかし、その後、具体的な回路の設計において所望の高周波ノイズを20カットするためにフィルタ回路に必要とされる容量の値を算定したところ、その値は比較的小さく、トランジスタのベース領域と半導体基板との間に寄生する容量でも可能なことが明らかとなった。そこで、この実施例においては、フィルタ回路の容量として、トランジスタQ1、Q2のベース・基板間寄生容量Cjs1、Cjs2を利用するようにした。そして、このように、トランジスタの寄生容量を積極的に利用するようにした場合には、フィルタ回路の占める面積は比較的小さなものとなる。

【0044】ただし、上記のように高周波ノイズカット用フィルタ回路を構成する容量としては、トランジスタの寄生容量を積極的に利用する代わりに、半導体基板上に形成される絶縁膜を誘電体とする容量素子を設けても25良いし、半導体基板表面に形成されるPN接合を利用した容量素子を設けるようにしても良い。

【0045】上記フィルタ回路を構成する抵抗も、フィルタ回路が接続されるトランジスタのベース領域を他のトランジスタのベース領域よりも大きく形成してその寄生抵抗を利用して構成することができる。あるいは、トランジスタのベース領域とは別個に半導体基板表面に形成されるP型あるいはN型の拡散層のような半導体領域30

を形成して抵抗として使用するようにしても良いし、半導体基板上に形成されるポリシリコン層のような金属層を形成して抵抗として使用するようにしても良い。

【0046】次に、上記フィルタ回路に要求される特性およびその特性を実現するために必要とされる抵抗Rin1、Rin2の抵抗値について説明する。

【0047】本発明の課題の項において既に説明したように、入力ピンから混入する高周波ノイズによる入力オフセットの変動を防止するためのフィルタ回路に要求される特性は、差動増幅回路のカットオフ周波数よりも大きく入力部の寄生フィルタ回路のカットオフ周波数よりも小さな周波数のノイズをカットできることである。

【0048】図9に、入力部にフィルタ回路を設けない図5の差動増幅回路の周波数特性が示されている。同図から分かるように、10Hzの近傍に第1のポールP1があり、100MHzの近傍に第2ポールP2がある。ユニティゲイン周波数は約100kHzのあたりにある。つまり、フィルタ回路のない図5の差動増幅回路では、出力電圧Voutは入力信号の周波数が10Hzまでは約80dB一定あって、10Hz〜100MHzの間は−20dB/Decの特性となっている。ここで、第1ポールP1のある周波数fc1は差動増幅回路自身の35カットオフ周波数、第2ポールP2のある周波数fc2は差動増幅回路の入力部に寄生するフィルタ回路のカットオフ周波数である。

【0049】ここで、入力ピンから混入する高周波ノイズにより入力オフセットが変動し始めるときの周波数ferrorを、その原因が入力段としてのレベルシフト回路12(13)の出力ノードn2(n2')の電位V2(V2')が上昇するときにレベルシフト回路12(13)の電流I1(I5)が差動トランジスタQ3(Q4)のベース・基板間に寄生する容量Cjs(Q3)(Cjs(Q4))を充電するのに使われるためであるとの前述の仮説に従って求める。

【0050】トランジスタQ1のベースに振幅Vppの高周波が入力されたときに、寄生容量Cjsを充放電するのに要する時間Terrorは、次式

$$Terror = 2 \cdot Cjs(Q3) \cdot Vpp / i1 \dots (1)$$

で表わされる。ここで、i1はレベルシフト回路の定電流源I1の電流である。I1=10μA、Cjs(Q3)=1.5pF、Vpp=0.2Vとすると、ferror=1/Terrorであるので、ferrorは17MHzとなる。従って、フィルタ回路は17MHz以上の高周波をカットできればよいことが分かる。

【0051】これは、フィルタ回路を設けない図5の差動増幅回路に高周波ノイズを入力したときに観察された出力電圧の変化の様子を示す図3および図4とよく一致している。従って、本実施例で新たに設けたフィルタ回路LPF1、LPF2のカットオフ周波数fc3は、差動増幅回路自身のカットオフ周波数よりも高く17MHz40

zよりも低ければよいことになる。そこで、カットオフ周波数が10MHzであるフィルタ回路を得るために必要とされる抵抗 $R_{in1}$ 、 $R_{in2}$ の値を算出すると、次式 $R_{in}=1/(2\pi \cdot C_{js}(Q1) \cdot 10\text{MHz}) \dots\dots (2)$ より、約10.6k $\Omega$ となる。ここで、 $C_{js}(Q1)$ はフィルタ回路の容量としてのトランジスタQ1のベース・基板間寄生容量で、約1.5pFとした。

【0052】なお、入力オフセットを変動させるような高周波ノイズをカットするためのフィルタ回路のカットオフ周波数 $f_{c3}$ は、上記のように差動増幅回路自身のカットオフ周波数 $f_{c1}$ よりも高く17MHzよりも低ければよいが、フィルタ回路のカットオフ周波数 $f_{c3}$ がユニティゲイン周波数よりも低いと差動増幅回路が発振し易くなるので、 $f_{c3}$ はユニティゲイン周波数(100kHz)よりも高く入力オフセットを変動させるおそれのある高周波の周波数(17MHz)よりも低い範囲で選択するのが望ましい。

【0053】図10には、図8の差動増幅回路において、フィルタ回路を構成する抵抗 $R_{in1}$ 、 $R_{in2}$ の抵抗値を10.6k $\Omega$ としたときの周波数特性を示す。

【0054】図9と比較すると分かるように、この実施例の差動増幅回路では、回路のユニティゲイン周波数と回路の寄生フィルタ回路のカットオフ周波数 $f_{c2}$ との間の10MHzの近傍に新たにポールP3ができてい

る。これが本実施例で追加したフィルタ回路のカットオフ周波数 $f_{c3}$ に対応するものである。図10より、本実施例を適用することで入力オフセットを変動させるような高周波ノイズを有効にカットすることができる。また、上記のように抵抗 $R_{in1}$ 、 $R_{in2}$ の抵抗値を10.6k $\Omega$ としたときフィルタ回路のカットオフ周波数 $f_{c3}$ は、差動増幅回路自身のユニティゲイン周波数よりも2桁近くも高いので、回路の他の特性にほとんど影響を与えない。

【0055】なお、上記式(1)より、定電流源I1の電流 $i_1$ を大きくすることによってオフセット電圧の変動を開始する周波数を高い方へずらすようにすることも対策として考えられるが、 $i_1$ を大きくすると入力バイアス電流が増大したり、入力信号のダイナミックレンジの下限が狭くなるなどのデメリットが生じるので、上記実施例のように、フィルタ回路を設ける方が対策としては望ましい。また、上記式(1)より、トランジスタのベース領域を小さくすることによってオフセット電圧の変動を開始する周波数を高い方へずらすようにすることも対策として考えられるが、この場合には、前述の寄生フィルタ回路のカットオフ周波数 $f_{c2}$ も高いほうにずれ、誤動作領域がシフトするだけであるので、効果的ではない。

【0056】図11(A)、(B)には、図8のように入力端子に抵抗 $R_{in1}$ 、 $R_{in2}$ を付けた差動増幅回路を用いて図1および図2のような実験回路を構成して、非

反転入力端子(+)と反転入力端子(-)にそれぞれ高周波を入力して出力電圧を観察した結果を示す。同図において、実線がフィルタ回路を設けていない図5の差動増幅回路の出力電圧を示し、複数のドットをプロットしたものが本実施例の差動増幅回路の出力電圧を示す。同図より、本実施例を適用することにより高周波ノイズによる出力電圧の落ち込みを防止できることが分かる。

【0057】図12には、図8のように入力端子に抵抗 $R_{in1}$ 、 $R_{in2}$ を付けた差動増幅回路の一方の入力端子に高周波を入力した場合の入力トランジスタQ1またはQ2のベース電位 $V_1$ と出力ノード $n_2$ 、 $n_2'$ の電位 $V_2$ ( $V_2'$ )の変化の様子(B)と、図5のように抵抗を付けない場合における対応するノードの電位の変化の様子(A)が示されている。同図(A)より、抵抗 $R_{in1}$ 、 $R_{in2}$ を付けない場合のノード $n_2$ のDCレベルは下がってしまうが、抵抗 $R_{in1}$ 、 $R_{in2}$ を付けた場合にはノード $n_2$ のDCレベルは下がらず、入力オフセットのずれは生じないことが分かる。したがって、フィルタ回路を設けた差動増幅回路は、高周波ノイズによる誤動作が防止される。

【0058】次に、フィルタ回路LPF1、LPF2を構成する容量の構造について説明する。

【0059】前述したように、フィルタ回路を構成する容量LPF1、LPF2としては、トランジスタQ1、Q2のベース・基板間寄生容量を利用する方法や、半導体基板上に形成される絶縁膜を誘電体とする容量素子を設ける方法、半導体基板表面に形成されるPN接合を利用した容量素子を設ける方法などがある。

【0060】図13には、このうちトランジスタのベース・基板間寄生容量を利用する場合の例が示されている。ここで、寄生容量を利用するトランジスタは、図8におけるトランジスタQ1、Q2である。図13(A)は横型PNPトランジスタの平面図、(B)はa-a'線に沿った断面図である。図13において、100はP型半導体基板、111はこの基板100上に形成されたN型エピタキシャル層からなりP型分離領域110により囲まれたベース領域、112はこのベース領域100上に矩形枠状に形成された高濃度P型領域からなるコレクタ領域、113はこのコレクタ領域の内側形成された高濃度P型領域からなるエミッタ領域、114は高濃度N型領域からなるベースコンタクト領域である。

【0061】同図から分かるように、横型PNPトランジスタの場合、ベース領域が比較的大きいためベース・基板間寄生容量 $C_{js}$ も比較的大きな値となる。具体的には、N型エピタキシャル層の抵抗率が5 $\Omega/\text{cm}$ で厚さ17 $\mu\text{m}$ の場合、電位差0Vで接合容量は約3.0pFとなる。接合容量であるため端子間電圧によって空乏層の厚さが変わり容量値が変化するが、高電位をかけた場合でも、1.5pF程度には達する。従って、フィルタ回路を構成する容量素子を別途設けるまでもない。上記

よりも若干大きな容量が必要な場合には、トランジスタのベース領域を大きく形成して寄生容量値を大きくすることも可能である。

【0062】次に、フィルタ回路LPF1, LPF2を構成する抵抗Rin1, Rin2の構造について説明する。

【0063】前述したように、フィルタ回路LPF1, LPF2を構成する抵抗Rin1, Rin2としては、フィルタ回路が接続されるトランジスタのベース領域を他のトランジスタのベース領域よりも大きく形成してその寄生抵抗を利用する方法や、トランジスタのベース領域とは別個に半導体基板表面に形成されるP型あるいはN型の拡散層のような半導体領域を形成して抵抗として使用する方  
10 法、半導体基板上に形成されるポリシリコン層のような金属層を使用する方法などがある。

【0064】図14には、このうちトランジスタのベース領域の寄生抵抗を利用する場合の構成が示されている。ここで、寄生抵抗を利用するトランジスタは、図8におけるトランジスタQ1, Q2である。図14を図13と比較すると明らかなように、図14のトランジスタは、図13のトランジスタに比べてベース領域111が横長に形成され、ベースコンタクト領域114すなわちベース電極はエミッタコレクタ領域112から離れた位置に設けられている。これによって、エピタキシャル層自身の寄生抵抗がフィルタ回路の抵抗Rin1, Rin2を構成することとなる。

【0065】図15(A)には、トランジスタのベース領域とは別個に半導体基板表面に形成されるP型拡散層を形成して抵抗として使用する場合の構造例が示されている。同図に示されている例では、N型エピタキシャル層の島120の上にP型領域121が形成され、このP型領域121の両端に高濃度P型領域からなるコンタクト領域124a, 124bが設けられた構造となっている。なお、抵抗となる上記P型領域121は、図示しないNPN縦型バイポーラ・トランジスタのベース領域となるP型領域と同時に形成するようにすることができ、コンタクト領域124a, 124bは図12の横型PNPトランジスタのコレクタ領域やエミッタ領域となる高濃度P型領域と同時に形成することができる。

【0066】この実施例の場合、抵抗素子となるP型領域121とN型エピタキシャル層の島120との間に寄生容量Csが存在するので、その寄生容量を、フィルタ回路を構成する容量として利用することも可能である。また、P型領域121とN型エピタキシャル層の島120との間には寄生PN接合ダイオードDsがあるので、N型エピタキシャル層の島120を電源電圧Vccなどの高電位に接続することで、この寄生PN接合ダイオードDsを入力端子に接続される高電位側の静電保護ダイオードとして利用することも可能である。

【0067】ここで、N型エピタキシャル層の島120を電源電圧Vccに接続してバイアスする代わりに、入  
50

カパッドから延設された配線に接続して入力電圧でバイアスすることも可能である。このようにした場合には、通常動作時に入力信号レベルが電源電圧Vccよりも高くなるような場合に、入力端子電圧が上記保護ダイオードによってVccにクランプされるのを回避できるという利点がある。

【0068】上述したように、P型領域121とN型エピタキシャル層の島120との間の寄生PN接合ダイオードDsを高電位側の静電保護ダイオードとして利用してもよいが、図15(A)の実施例では、入力端子(入力パッドPAD)に接続される静電保護用のダイオードを別個に構成するようにしている。静電保護用のダイオードは、N型エピタキシャル層の島130の上にP型領域131が形成され、高濃度P型領域からなるコンタクト領域134aが設けられた構造とされており、上記P型領域131とエピタキシャル層130とのPN接合を保護ダイオードとして利用したものである。上記コンタクト領域134aには、入力端子に接続され保護ダイオードのアノード端子となる電極141が接触される。エピタキシャル層130の表面のP型領域131近傍に形成された高濃度N型領域134bは、電源電圧Vccに接続される保護ダイオードD1のカソード端子となる電極142が接触されるコンタクト領域である。図15(B)は等価回路図である。

【0069】このように、静電保護用ダイオードを高周波ノイズカット用のフィルタ回路と別個に設けることで、それぞれの用途に応じて素子の特性を最適化することができる。そのため、兼用した場合に比べて、高周波ノイズをより良好にカットし、かつ静電破壊強度も高くすることができる。また、図15(A)において、P型領域131に入力パッドからの配線を接続する代わりに接地電位GNDを印加する配線を接続し、高濃度N型領域134bに入力パッドからの配線を接続して、低電位側の静電保護ダイオードとして機能させるように構成してもよい。ただし、低電位側の静電保護ダイオードはエピタキシャル層と基板間の接合を利用して構成することも可能である。

【0070】図16に本発明に係る差動増幅回路の他の実施例を示す。

【0071】図8の差動増幅回路では、フィルタ回路LPF1, LPF2を入力端子とレベルシフト回路12, 13との間に設けているのに対し、この実施例は、フィルタ回路LPF1, LPF2をレベルシフト回路12, 13と差動増幅段11との間に設けている。具体的には、トランジスタQ1, Q2と差動増幅段11の入力ノードn2, n2'との間にそれぞれフィルタ回路LPF1, LPF2を構成する抵抗Rin1, Rin2を接続するとともに、差動増幅段11のトランジスタQ3, Q4のベース・基板間寄生容量Cjsを容量として利用してい  
50



【0072】この実施例の差動増幅回路においては、入力端子より高周波ノイズが混入したときに、差動増幅段11のトランジスタQ3、Q4のベース・基板間寄生容量Cjsをディスチャージする電流を抵抗Rin1、Rin2で制限することによってレベルシフト回路12、13の検波特性を鈍くすることができる。その結果、高周波ノイズに起因してノードn2、n2'の直流レベルが低下するのを防止してオフセットの変動を抑制することができる。

【0073】なお、この実施例においても、フィルタ回路LPF1、LPF2を構成する抵抗Rin1、Rin2や容量は、図8の実施例で説明したのと同様に種々のバリエーションが考えられる。ただし、フィルタ回路と共に静電保護用のダイオードを設ける場合には、その保護ダイオードは図8の実施例と同様に、入力端子に接続されるように構成される。この場合には、保護用ダイオードとフィルタ回路とはトランジスタQ1、Q2により、電氣的に切り離されることとなる。

【0074】次に、上記のような構成を有する差動増幅回路からなるオペアンプの応用システムの一例を、図17を用いて説明する。

【0075】図17は、オペアンプを利用した電源電圧監視回路である。オペアンプOPの反転入力端子(−)には、電源電圧Vccと接地点GNDとの間に直列に接続された抵抗R11とR12とからなる抵抗分割回路のノードn11の電位Vaが印加され、オペアンプOPの非反転入力端子(+)にはVaと比較される基準電圧Vrefが印加されている。

【0076】図17を参照すると分かり易いように、入力部にフィルタ回路が設けられていない図5のような差動増幅回路を用いたオペアンプでは、抵抗分割回路から反転入力端子(−)までの配線L1と非反転入力端子(+)に基準電圧Vrefを供給する配線L2とでは長さが異なり、電磁波ノイズ等により入力端子に混入する高周波ノイズの大きさがアンバランスとなる。図のように、配線L1の方がL2よりも長い場合には、反転入力端子(−)より混入する高周波ノイズの方が大きくなる。

【0077】そのため、入力部にフィルタ回路が設けられていない図5のオペアンプは、そのオフセットが反転入力端子(−)側が低くなるように変化し、そのオペアンプを用いた図17の電源電圧監視回路では、図18に実線で示す本来の検出レベルに対して、破線で示すように、見かけ上の検出レベルが高くなり、回路が誤動作するおそれがある。一方、入力部にフィルタ回路が設けた図8や図16のオペアンプを用いた電源電圧監視回路では、フィルタ回路により高周波ノイズをカットするため、検出レベルが変化することがないので、回路が誤動作するおそれもない。

【0078】なお、図17のシステムはあくまでも応用

例であって、本発明が適用されたオペアンプは図17のようなシステムに使用されるものに限定されるものでないことはいうまでもない。また、図17のようなシステムに用いられるオペアンプとしての差動増幅回路は、反転入力端子と非反転入力端子の両方が外部端子としての外部ピンに接続されるが、他の回路とともに半導体集積回路に内蔵される差動増幅回路では、1つの入力端子のみが外部ピンに接続されることもある。その場合には、反転入力端子と非反転入力端子が電磁波ノイズに対して特にアンバランスになり易いので、本発明を適用することは有効である。

【0079】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、図8に示されている実施例の差動増幅回路では、回路のカットオフ周波数が10Hzであると説明したが、これはその差動増幅回路が図15のような電源電圧監視回路に使用されるもの(コンパレータ)を想定したためであり、他の用途に用いられる差動増幅回路にはカットオフ周波数がさらに高い特性を有するように設計されるものがあり、その場合にも本発明を適用できることはいうまでもない。

【0080】また、図15(B)に示されている回路では、静電保護用のダイオードが電源電圧Vccと入力端子INとの間に接続されているが、入力端子と接地点との間にも同様な静電保護用のダイオードが接続されていてもよい。さらに、実施例においては、入力トランジスタ(Q1、Q2)がPNPバイポーラ・トランジスタで構成されている差動増幅回路を例として説明したが、入力トランジスタ(Q1、Q2)がNPNバイポーラ・トランジスタで構成されている差動増幅回路にも適用できるし、バイポーラ・トランジスタの代わりにMOSFETを用いて構成されている差動増幅回路にも適用できる。

【0081】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるオペアンプICに適用した場合について説明したが、本発明はそれに限定されるものでなく、AD変換回路などのアナログ回路を有する半導体集積回路に内蔵される差動増幅回路にも利用することができる。本発明に係る差動増幅回路は、その入力端子が外部ピンに接続されるものに特に有効である。

【0082】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【0083】すなわち、本発明を適用した差動増幅回路は、入力端子より混入した電磁波等の高周波ノイズが差動増幅段に伝わるのを防止し、アンバランスな高周波ノ

10

20

30

40

50

イズが混入すること起因して入力オフセットが変化することを抑制することができ、これによって電磁妨害波を受けても誤動作しにくいシステムを構築することができる。

#### 【図面の簡単な説明】

【図1】本発明に先立って高周波ノイズによりオペアンプが誤動作する原因を追求すべく、オペアンプの非反転入力端子に高周波ノイズを入力して出力を観察するのに使用した実験回路の概略図である。

【図2】同じくオペアンプの反転入力端子に高周波ノイズを入力して出力を観察するのに使用した実験回路の概略図である。

【図3】図1の実験回路で観察された出力電圧の周波数特性を示すグラフである。

【図4】図2の実験回路で観察された出力電圧の周波数特性を示すグラフである。

【図5】図1および図2の実験回路で用いたオペアンプの回路構成を示す回路図である。

【図6】図5のオペアンプの反転入力端子（－）にカットオフ周波数よりも低い周波数の信号を入力したときの入力段のレベルシフト回路の入力電位と出力ノードの電位の変化を示す波形図である。

【図7】図5のオペアンプの反転入力端子（－）にカットオフ周波数よりも高い周波数の信号を入力したときの入力段のレベルシフト回路の入力電位と出力ノードの電位の変化を示す波形図である。

【図8】本発明に係る差動増幅回路の一実施例を示す回路図である。

【図9】本発明に先立って行なった実験に用いたフィルタ回路のない図5の差動増幅回路の周波数特性を示すグラフである。

【図10】本発明に係る差動増幅回路の周波数特性を示すグラフである。

【図11】実施例の差動増幅回路を用いて図1および図

2のような実験回路を構成して、非反転入力端子（＋）と反転入力端子（－）にそれぞれ高周波を入力して出力電圧の観察した結果を示すグラフである。

【図12】フィルタ回路のない図5の差動増幅回路と本発明に係る差動増幅回路の反転入力端子（－）にそれぞれ高周波信号を入力したときの入力段（レベルシフト回路）の入力電位と出力ノードの電位の変化を示す波形図である。

【図13】本発明に係る差動増幅回路に用いられるフィルタ回路を構成する容量の構造例を示す断面図である。

【図14】本発明に係る差動増幅回路に用いられるフィルタ回路を構成する抵抗の構造例を示す断面図である。

【図15】フィルタ回路を構成する抵抗の他の構造例を示す断面図および等価回路図である。

【図16】本発明に係る差動増幅回路の他の実施例を示す回路図である。

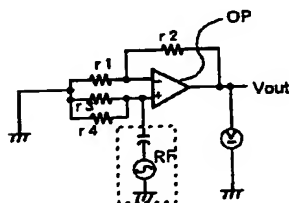
【図17】本発明に係る差動増幅回路の応用システム例を示す回路図である。

【図18】図17のシステムにおける差動増幅回路の入出力特性を示すグラフである。

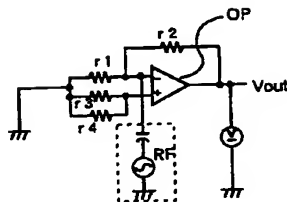
#### 【符号の説明】

- 11 差動増幅段
- 12, 13 入力段としてのレベルシフト回路
- 16 高利得増幅段
- 17 出力段
- 100 半導体基板
- 110 P型分離領域
- 111 ベース領域（エピタキシャル層）
- 112 コレクタ領域
- 113 エミッタ領域
- 114 ベースコンタクト領域
- LPF フィルタ回路
- OP オペアンプ

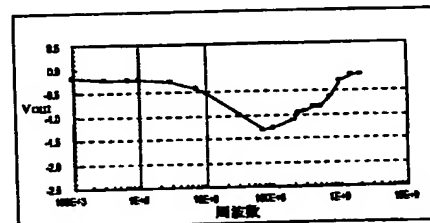
【図1】



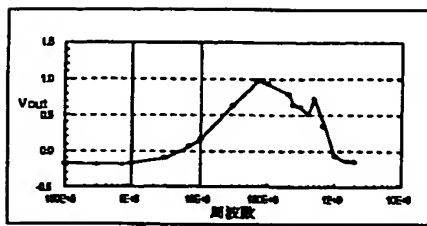
【図2】



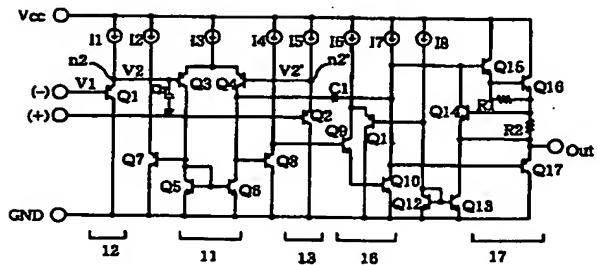
【図3】



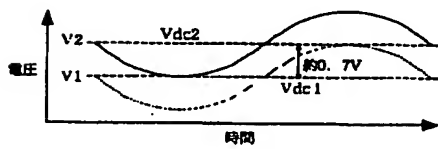
【図4】



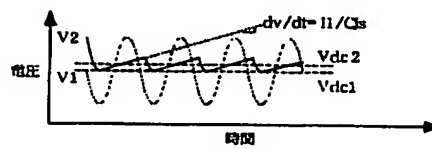
【図5】



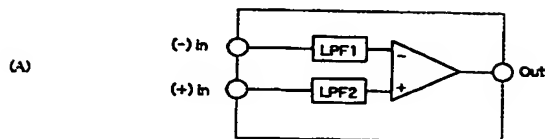
【図6】



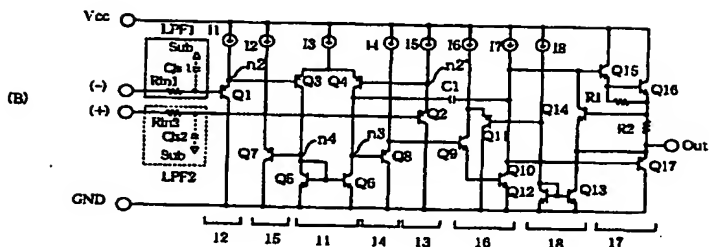
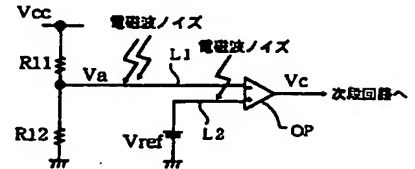
【図7】



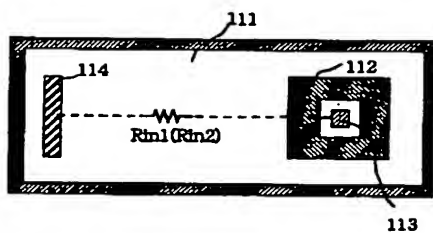
【図8】



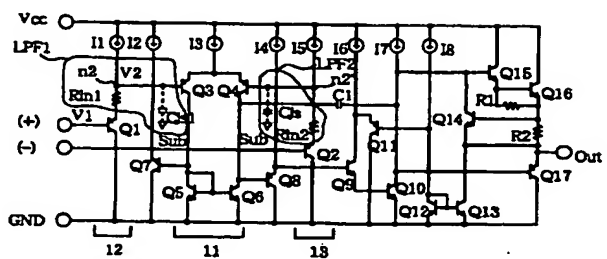
【図17】



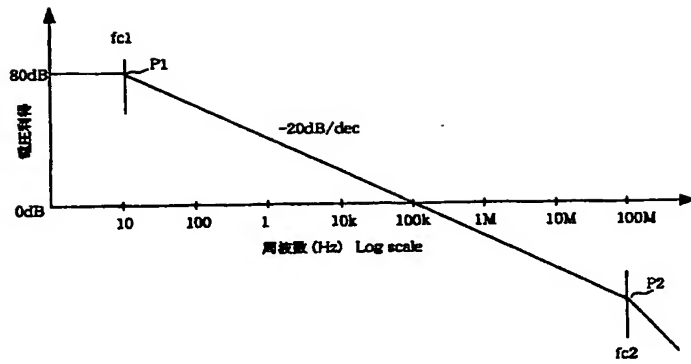
【図14】



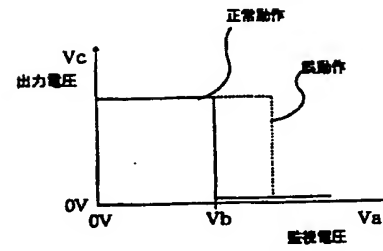
【図16】



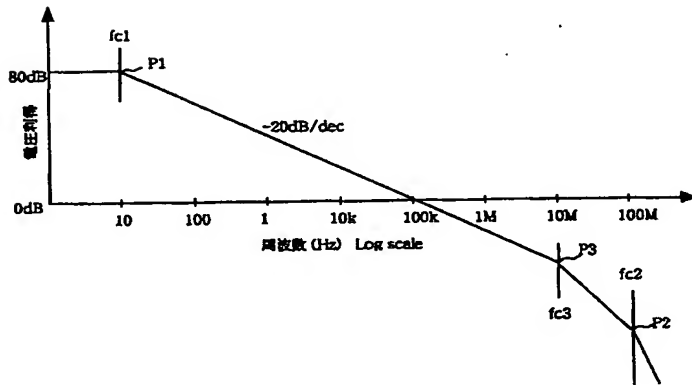
【図9】



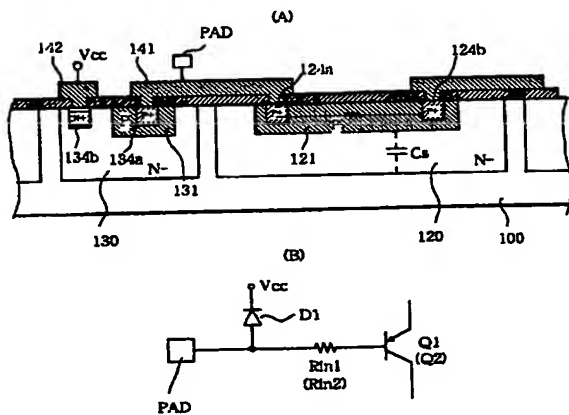
【図18】



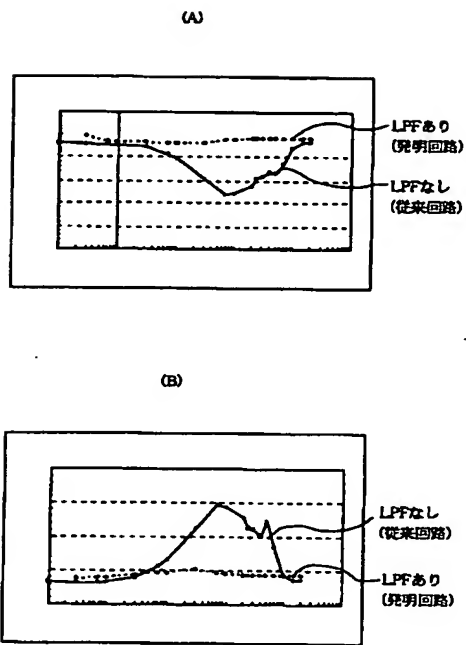
【図10】



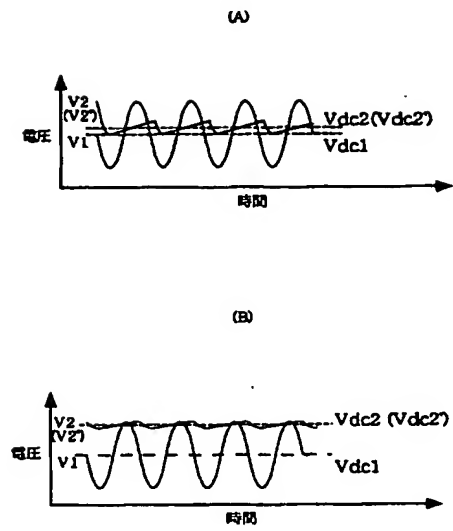
【図15】



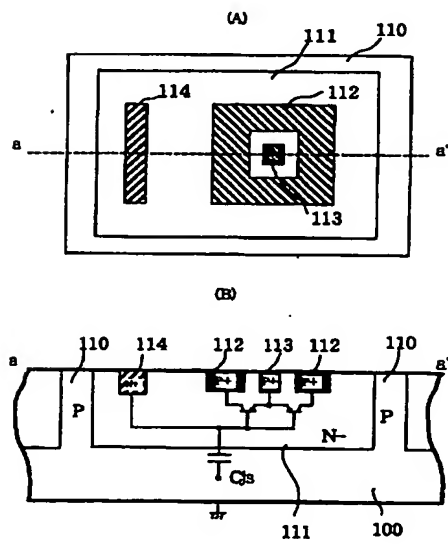
【図11】



【図12】



【図13】





## フロントページの続き

(72)発明者 洪 仁強  
東京都千代田区丸の内一丁目8番2号 株  
式会社日立セミコンデバイス内

Fターム(参考) 5J066 AA01 AA12 AA47 CA13 CA51  
CA57 FA20 HA08 HA19 HA25  
HA29 KA05 KA09 KA18 KA42  
MA01 MA06 MA11 MA21 ND01  
ND14 ND22 ND23 PD01 QA02  
QA03 TA01 TA02 TA03 TA06  
5J091 AA01 AA12 AA47 CA13 CA51  
CA57 FA20 HA08 HA19 HA25  
HA29 KA05 KA09 KA18 KA42  
MA01 MA06 MA11 MA21 QA02  
QA03 TA01 TA02 TA03 TA06